

CARTE A PUCE – SLE 4432

Présentation générale :

La carte SLE4442 est composée de 256 octets d'EEPROM constituant la mémoire principale et de 32 bits (4 octets) de mémoire protégée de type PROM.

La mémoire principale est effacée et écrite octet par octet.

Lors de l'effacement, les 8 bits, constituant l'octet, sont mis au niveau logique 1.

Lors de l'écriture, les changements se font bit par bit. Seuls ceux devant passés à zéros sont changés. Normalement un changement de données en mémoire consiste en une procédure d'effacement puis d'écriture. Cela dépend en fait du contenu de l'octet en mémoire principale comparé à la nouvelle donnée à écrire.

Si aucun des 8 bits ne requiert un passage de 0 à 1, la procédure d'effacement est supprimée. Vice versa, l'accès en écriture sera supprimé si aucun passage de 1 à 0 n'est nécessaire.

Les opérations d'effacement et d'écriture prennent au minimum 2.5 ms chacune.

La carte possède par ailleurs un code de sécurité visant à protéger les données de l'effacement et de l'écriture. La carte contient donc une mémoire de sécurité de 4 octet et un compteur d'erreur EC (3 bits) et 3 octets de référence (le code). Ces 3 octets forme un ensemble appelé Programmable Security Code (PSC). Après l'alimentation de l'ensemble, l'ensemble de la mémoire peut être lue à l'exception des octets de référence (le code d'accès à l'écriture). C'est seulement après une comparaison réussie du code que celle-ci peut être modifiée jusqu'à la coupure de l'alimentation. Après 3 comparaisons ratées, le compteur d'erreur EC bloque tout accès ultérieur et donc toute possibilité d'écriture et d'effacement.

Protocole de transmission :

La transmission s'effectue sur 2 fils :

Données

Horloge

Tous les changements de niveau sur la broche I/O se font sur front descendant du signal d'horloge.

La transmission peut se faire suivant 4 modes :

Reset and Answer to Reset (RAZ et Réponse à la RAZ)

Command Mode (mode de commande)

Outgoing Data Mode (sortie de données)

Processing Mode

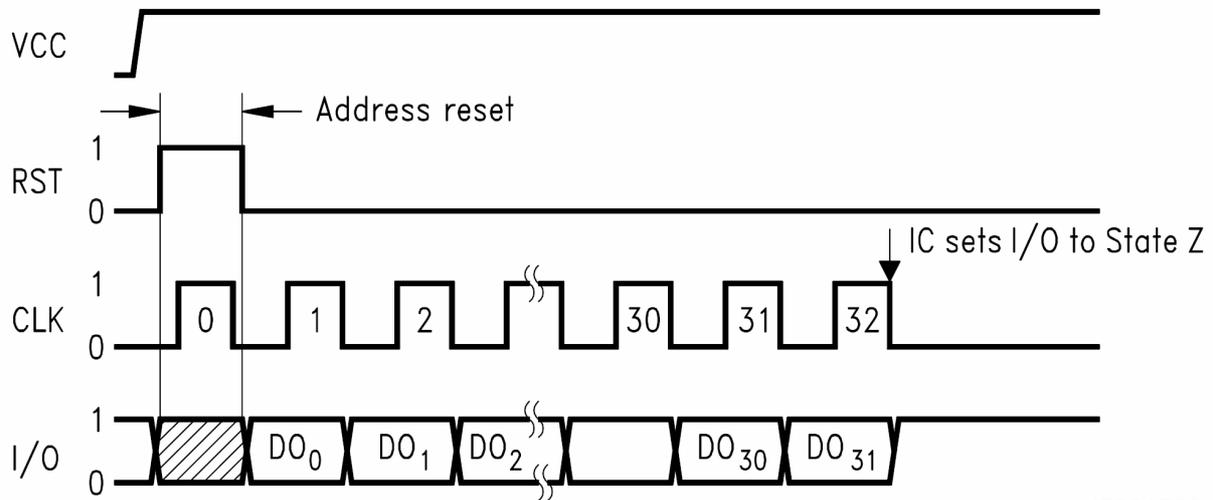
Les trois derniers sont des modes opérationnels.

Attention :

La broche I/O est un drain-ouvert ce qui nécessite une résistance de tirage au niveau haut afin d'assurer le niveau logique.

Procédure RESET ET ATR

La procédure est décrite ci-après et consiste en la lecture des 4 premières adresses de l'EEPROM soit 32 bits. Elle s'achève par une mise en haute impédance de la ligne I/O soit un niveau logique '1' par la résistance de rappel à Vcc.



IED01788

Les 4 octets de réponse :

Octet 1	Octet 2	Octet 3	Octet 4
DO ₇ DO ₀	DO ₁₅ DO ₈	DO ₂₃ DO ₁₆	DO ₃₁ DO ₂₄

Lors d'un ATR, le code attendu est le suivant :

1010 0010 ₂	0001 0011 ₂	0001 0000 ₂	1001 0001 ₂
A2 _H	13 _H	10 _H	91 _H

Les modes opérationnels :

Après un ATR le composant attend une commande. Chaque commande commence avec des conditions de démarrage, incluant une commande de 3 octets cadencée par autant d'impulsion d'horloge que nécessaire et fini par des conditions d'arrêt.

Définition de démarrage et arrêt :

Condition de démarrage :

Un front descendant sur I/O avec l'Horloge au niveau haut.

Condition d'arrêt :

Un front montant sur I/O pendant l'état haut de l'horloge.

Après la réception de la commande, 2 modes sont possibles :

Outgoing Data pour des opérations de lecture.

Processing mode pour l'effacement et l'écriture.

Descriptif des modes :

Mode Outgoing Data

Ce mode est dédié aux données sortantes. Le premier bit est valide sur la broche I/O après le premier front d'horloge descendant. Après le dernier bit, un front supplémentaire est nécessaire pour basculer la broche en état haute impédance et la carte est prête pour l'envoi d'une nouvelle commande. Durant ce mode aucun démarrage ou stop n'est nécessaire.

Mode Processing

Dans ce mode, la carte fonctionne en autonomie. La carte a cependant besoin d'être alimentée continuellement en front d'horloge jusqu'à ce que la broche I/O qui est passée à l'état bas après le premier front, re-bascule en état haute impédance. Durant ce mode aucun démarrage ou stop n'est nécessaire.

Note :

La broche RST doit être maintenue à l'état bas durant ces modes. Si RST passe à l'état haut pendant un état bas de l'horloge, toutes les opérations sont annulées et la broche I/O passe en haute impédance. (Break).

Les commandes :

Format des instructions :

Chaque commande est composée de 3 octets :

MSB				Contrôle				LSB				MSB				Adresse				LSB				MSB				Donnée				LSB			
B7	B6	B5	B4	B3	B2	B1	B0	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0												

L'envoi commence par le poids faible de l'octet de contrôle.

Table des commandes :

Octet 1 : mot de contrôle								Octet 2 Adresse	Octet 3 Donnée	Opération	Mode
B7	B6	B5	B4	B3	B2	B1	B0	A7-A0	D7-D0		
0	0	1	1	0	0	0	0	adresse	Sans effet	Lecture de la mémoire principale	Outgoing Data
0	0	1	1	1	0	0	0	adresse	donnée	Mise à jour de la mémoire principale	Processing
0	0	1	1	0	1	0	0	Sans effet	Sans effet	Lecture la protection mémoire	Outgoing Data
0	0	1	1	1	1	0	0	adresse	donnée	Ecriture de la protection mémoire	Processing
0	0	1	1	0	0	0	1	Sans effet	Sans effet	Lecture de la mémoire de sécurité	Outgoing Data
0	0	1	1	1	0	0	1	adresse	donnée	Mise à jour de la mémoire de sécurité	Processing
0	0	1	1	0	0	1	1	adresse	donnée	Comparaison des données de vérification	Processing

Lecture de la protection mémoire

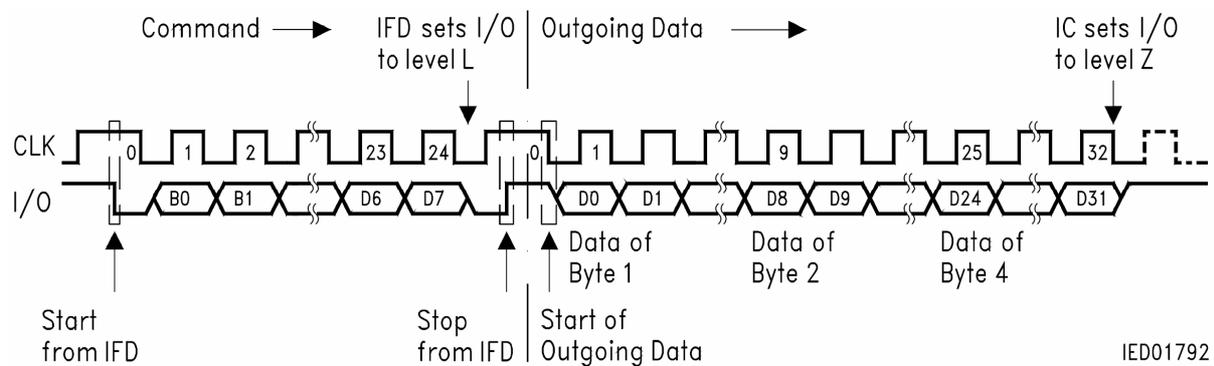
La commande transfère les bits de protection au rythme des 32 fronts d'horloge nécessaire à leur cadencement vers la sortie. Cette mémoire peut toujours être lue, et indique les octets de données de la mémoire principale protégés contre les changements.

Adresse décimale	Mémoire principale	Mémoire de protection	Mémoire de sécurité
255	Octet 255 (D7 à D0)		
..	..		
32	Octet 32 (D7 à D0)		
31	Octet 31 (D7 à D0)	Bit de protection 31 (D31)	
..	
3	Octet 3 (D7 à D0)	Bit de protection 3 (D3)	Octet de référence 3 (D7 à D0)
2	Octet 2 (D7 à D0)	Bit de protection 2 (D2)	Octet de référence 2 (D7 à D0)
1	Octet 1 (D7 à D0)	Bit de protection 1 (D1)	Octet de référence 1 (D7 à D0)
0	Octet 0 (D7 à D0)	Bit de protection 0 (D0)	Octet de référence 0 (D7 à D0)

Commande de lecture de la protection mémoire :

	Octet de contrôle								Adresse	Donnée
	B7	B6	B5	B4	B3	B2	B1	B0	A7 .. A0	D7 .. D0
Binaire	0	0	1	1	0	1	0	0	Sans effet	Sans effet
hexa	34 _H								Sans effet	Sans effet

Chronogrammes :



IED01792

Mise à jour de la mémoire principale :

La commande programme l'adresse de l'EEPROM avec la donnée transmise. Selon la nouvelle et l'ancienne donnée, une des séquences suivantes sera mise en place durant le procédé :

Effacement et écriture	(5ms)	correspondant à m = 255 impulsions d'horloge
Ecriture sans effacement	(2.5ms)	correspondant à m = 124 impulsions d'horloge
Effacement sans écriture	(2.5ms)	correspondant à m = 124 impulsions d'horloge

Les durées sont données à une fréquence d'horloge de 50kHz.

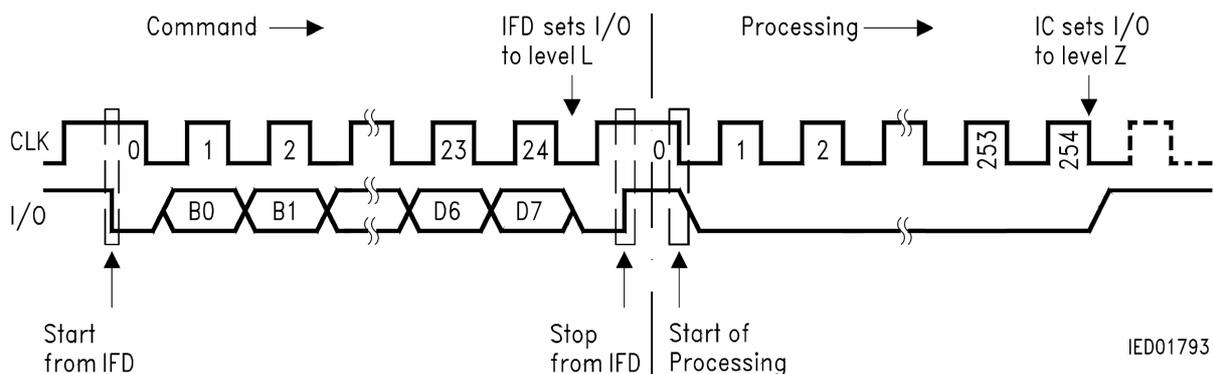
Adresse décimale	Mémoire principale	Mémoire de protection	Mémoire de sécurité
255	Octet 255 (D7 à D0)		
..	..		
32	Octet 32 (D7 à D0)		
31	Octet 31 (D7 à D0)	Bit de protection 31 (D31)	
..	
3	Octet 3 (D7 à D0)	Bit de protection 3 (D3)	Octet de référence 3 (D7 à D0)
2	Octet 2 (D7 à D0)	Bit de protection 2 (D2)	Octet de référence 2 (D7 à D0)
1	Octet 1 (D7 à D0)	Bit de protection 1 (D1)	Octet de référence 1 (D7 à D0)
0	Octet 0 (D7 à D0)	Bit de protection 0 (D0)	Octet de référence 0 (D7 à D0)

Commande de mise à jour de la mémoire principale :

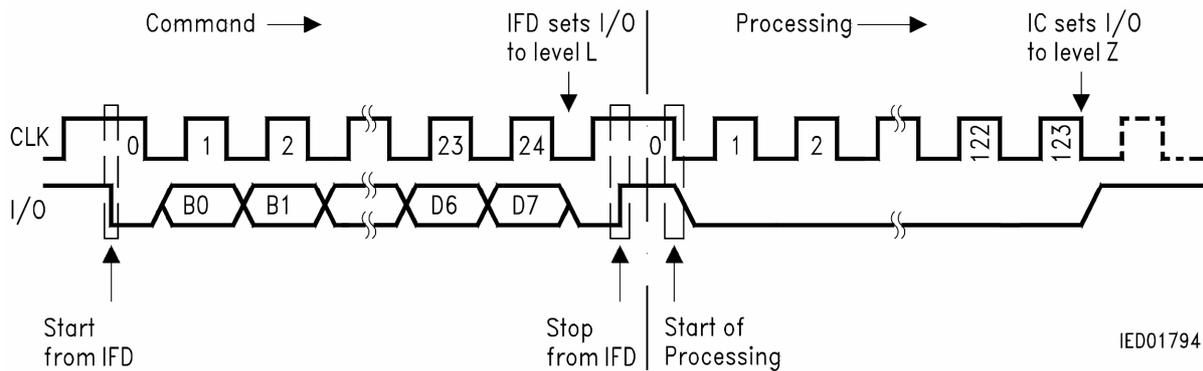
	Octet de contrôle								Adresse	Donnée
	B7	B6	B5	B4	B3	B2	B1	B0	A7 .. A0	D7 .. D0
Binaire	0	0	1	1	1	0	0	0	Adresse	Donnée
hexa	38H								00H .. FFH	Donnée

Chronogrammes :

- cas d'une écriture nécessitant un effacement préalable : 255 fronts d'horloge.



- Ecriture ou effacement de la mémoire principale : 124 fronts d'horloge



Ecriture de la mémoire de protection

L'exécution de cette commande contient une comparaison de l'octet de donnée entrée avec l'octet correspondant de l'EEPROM. En cas d'égalité, le bit de protection est écrit rendant l'information inchangeable. Si la donnée de comparaison est différente l'écriture est supprimée.

Adresse décimale	Mémoire principale	Mémoire de protection	Mémoire de sécurité
255	Octet 255 (D7 à D0)		
..	..		
32	Octet 32 (D7 à D0)		
31	Octet 31 (D7 à D0)	Bit de protection 31 (D31)	
..	
3	Octet 3 (D7 à D0)	Bit de protection 3 (D3)	Octet de référence 3 (D7 à D0)
2	Octet 2 (D7 à D0)	Bit de protection 2 (D2)	Octet de référence 2 (D7 à D0)
1	Octet 1 (D7 à D0)	Bit de protection 1 (D1)	Octet de référence 1 (D7 à D0)
0	Octet 0 (D7 à D0)	Bit de protection 0 (D0)	Octet de référence 0 (D7 à D0)

Commande de mise à jour de la mémoire principale :

	Octet de contrôle								Adresse	Donnée
	B7	B6	B5	B4	B3	B2	B1	B0	A7 .. A0	D7 .. D0
Binaire	0	0	1	1	1	1	0	0	Adresse	Donnée
hexa	3C _H								00 _H .. 1F _H	Donnée

Lecture de la mémoire de sécurité

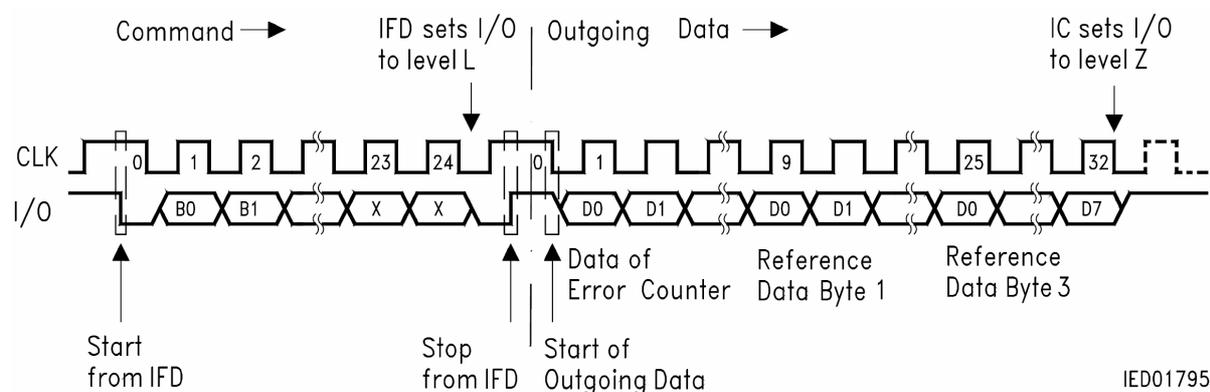
Similaire à une commande de lecture de la mémoire de protection, cette commande permet d'obtenir des 4 octets de la mémoire de sécurité. Le nombre d'impulsions d'horloge est 32 durant le mode *Outgoing Data*. I/O est placée en haute impédance grâce à une impulsion supplémentaire. Sans une vérification préalable valide du PSC la sortie des octets de référence est supprimée, ce qui se traduit par un état bas maintenu de I/O au lieu des octets de données.

Adresse décimale	Mémoire principale	Mémoire de protection	Mémoire de sécurité
255	Octet 255 (D7 à D0)		
..	..		
32	Octet 32 (D7 à D0)		
31	Octet 31 (D7 à D0)	Bit de protection 31 (D31)	
..	
3	Octet 3 (D7 à D0)	Bit de protection 3 (D3)	Octet de référence 3 (D7 à D0)
2	Octet 2 (D7 à D0)	Bit de protection 2 (D2)	Octet de référence 2 (D7 à D0)
1	Octet 1 (D7 à D0)	Bit de protection 1 (D1)	Octet de référence 1 (D7 à D0)
0	Octet 0 (D7 à D0)	Bit de protection 0 (D0)	Compteur d'erreur (0,0,0,0,0,D2,D1,D0)

Lecture de la mémoire de sécurité

	Octet de contrôle								Adresse	Donnée
	B7	B6	B5	B4	B3	B2	B1	B0	A7 .. A0	D7 .. D0
Binaire	0	0	1	1	0	0	0	1	Sans effet	Sans effet
hexa	31 _H								Sans effet	Sans effet

Chronogrammes :



Mise à jour de la mémoire de sécurité

S'agissant des données de référence, cette commande ne sera exécutée que si une comparaison valide du PSC a été au préalable effectuée. Dans le cas contraire seuls chaque bit du compteur d'erreur (adresse 0) peuvent être écrits de 1 vers 0. Les chronogrammes sont les mêmes que pour une mise à jour de la mémoire principale.

Mise à jour de la mémoire de sécurité

	Octet de contrôle								Adresse	Donnée
	B7	B6	B5	B4	B3	B2	B1	B0	A7 .. A0	D7 .. D0
Binaire	0	0	1	1	1	0	0	1	Adresse	Donnée
hexa	39 _H								00 _H ... 03 _H	Donnée

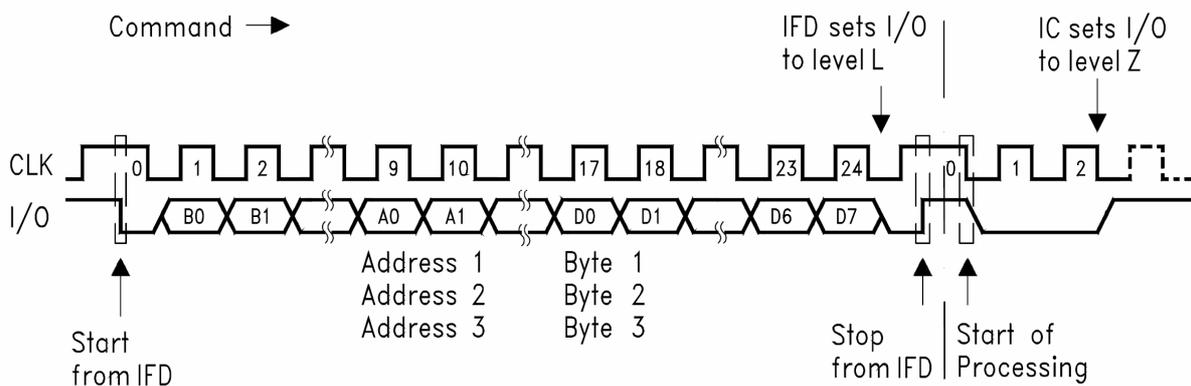
Comparaison des données de vérification

Cette commande ne peut être exécutée qu'en combinaison avec une procédure de mise à jour du compteur d'erreur. Cette commande compare un octet de la donnée entrée avec l'octet de référence correspondant. Durant cette procédure en mode Processing, des impulsions d'horloge sont nécessaires.

Comparaison des données de vérification

	Octet de contrôle								Adresse	Donnée
	B7	B6	B5	B4	B3	B2	B1	B0	A7 .. A0	D7 .. D0
Binaire	0	0	1	1	0	0	1	1	Adresse	Donnée
hexa	33 _H								00 _H ... 03 _H	Donnée

Chronogrammes :



Vérification PSC

La carte requiert une vérification correcte du code de sécurité programmable PSC stocké dans la mémoire de sécurité afin de modifier les données.

La procédure décrite ci-après nécessite d'être suivie scrupuleusement. Toute variation provoque une erreur entraînant l'annulation de la procédure d'effacement ou d'écriture de la

mémoire. Aussi longtemps que la procédure échoue, les bits du compteur d'erreur peuvent uniquement être changé de 1 à 0 mais pas effacé (remis à 1).

En premier lieu il convient de passer un bit du compteur d'erreur de 1 à 0 par une commande de mise à jour suivie de 3 commandes de comparaison de données de vérification à commencé par l'octet 1 des données de référence.

Un succès complet de toute la procédure est reconnu par la capacité d'effacer le compteur d'erreur (remise à 1 des 3 bits) ce qui n'est pas automatique.

A partir de cet instant, l'écriture et l'effacement de toutes les zones mémoire est possible tant que l'alimentation de la carte est maintenue.

En cas d'erreur, la procédure peut être répétée aussi longtemps que des bits du compteur d'erreur sont disponibles. L'autorisation de modification vaut également pour les données de référence qui peuvent modifiées comme n'importe quelle autre donnée contenue dans l'EEPROM.

La tableau suivant donne un aperçu des commandes nécessaire pour une vérification du PSC. L'ordre des commandes grisées est obligatoire.

Commande	Octet de contrôle	Octet d'adresse	Octet de données	Remarques
	B7 ... B0	A7 ... A0	D7 ... D0	
Lecture de la mémoire de sécurité	31 _H	Sans effet	Sans effet	Vérification du compteur d'erreur
Mise à jour de la mémoire de sécurité	39 _H	00 _H	Données d'entrée	Ecriture d'un bit libre dans le compteur d'erreur avec la donnée d'entrée : 0000 0ddd ₂
Comparaison des données de vérification	33 _H	01 _H	Données d'entrée	Octet 1 de vérification
Comparaison des données de vérification	33 _H	02 _H	Données d'entrée	Octet 2 de vérification
Comparaison des données de vérification	33 _H	03 _H	Données d'entrée	Octet 3 de vérification
Mise à jour de la mémoire de sécurité	39 _H	00 _H	FF _H	Effacement du compteur d'erreur
Lecture de la mémoire de sécurité	31 _H	Sans effet	Sans effet	Vérification du compteur d'erreur

Lors de la conception de la carte, le PSC est programmé avec un code qui est le résultat d'une entente entre le concepteur et le client. La connaissance de ce code est donc obligatoire pour modifier les données.